

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01088676 A**(43) Date of publication of application: **03.04.89**

(51) Int. Cl.

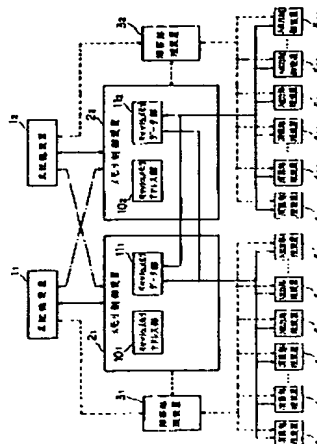
G06F 15/16
G06F 12/08(21) Application number: **62247188**(22) Date of filing: **29.09.87**(71) Applicant: **NEC CORP**(72) Inventor: **HASHIGUCHI TATSURO**(54) **MULTIPROCESSOR SYSTEM**

(57) Abstract:

PURPOSE: To prevent the stop of a system by shifting the contents of a cache memory to other normal memory controller at the time of generating a fault in a memory controller and connecting two main storage devices to the normal memory controller.

CONSTITUTION: At the time of generating the trouble in a part except the cache memory part 11₁ of the memory controller 2₁, the contents of the cache memory 11₁ of the fault system memory controller 2₁ are shifted to the cache memory 11₂ of the normal system memory controller 2₂ by the use of a data register through a selecting circuit disposed correspondingly to the data register in the memory controllers 2₁, 2₂. Then, the main storage device 1₁ connected to the fault system memory controller 2₁ is changed in connection to the normal system memory controller 2₂. Thereby, the contents of the cache memory 11₁ are assured, the contents thereof are written and returned to the main storage device 1₁ and the operation of the system can be continued.

COPYRIGHT: (C)1989,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-88676

⑬ Int. Cl.⁴G 06 F 15/16
12/08

識別記号

4 7 0

庁内整理番号

D-6745-5B

H-7010-5B

J-7010-5B

⑭ 公開 昭和64年(1989)4月3日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 マルチプロセッサシステム

⑯ 特 願 昭62-247188

⑰ 出 願 昭62(1987)9月29日

⑱ 発 明 者 橋 口 達 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マルチプロセッサシステム

2. 特許請求の範囲

主記憶装置と、演算処理装置と、入出力処理装置と、これら各装置に接続されかつストアイン方式のキャッシュメモリを有するメモリ制御装置と、前記各装置と診断インターフェースで接続された障害処理装置とを含む情報処理システムを2式有し、これら情報処理システムが前記メモリ制御装置間で接続されているマルチプロセッサシステムにおいて、

各メモリ制御装置のキャッシュメモリへの書込みデータを保持するデータレジスタに対応して設けられ、自メモリ制御装置内のキャッシュメモリから読出されるデータと、他メモリ制御装置のデータレジスタに保持されているデータとを選択して自メモリ制御装置内のデータレジスタに出力する選択回路を有し、

前記障害処理装置は、自情報処理システムのメ

モリ制御装置にキャッシュメモリ以外の部分に障害が発生したとき、自メモリ制御装置のキャッシュメモリの内容を前記選択回路を通じて自データレジスタに読出させ、他情報処理システムのメモリ制御装置にキャッシュメモリ以外の部分に障害が発生したとき、自メモリ制御装置のキャッシュメモリの内容を主記憶装置に書戻し、他メモリ制御装置のキャッシュメモリから読出されて他データレジスタに保持されているデータを前記選択回路を通じて自データレジスタに読出して自キャッシュメモリに書込ませ、他メモリ制御装置に接続されていた主記憶装置を自メモリ制御装置に接続替える処理を行なうことを特徴とするマルチプロセッサシステム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は特許請求の範囲の前項に示すマルチプロセッサシステムに関する。

〔従来の技術〕

従来メモリ制御装置のキャッシュメモリがスト

アイン方式（主記憶装置の内容とキャッシュメモリの内容は通常異なり、新たに主記憶装置の内容を必要とするときキャッシュメモリに空き領域がないときは、キャッシュメモリの内容を主記憶装置に書戻す方式）を採用しているこの種のマルチプロセッサシステムでは、メモリ制御装置に障害が発生したときにキャッシュメモリの内容を主記憶装置に書戻すことができなかった。

〔発明が解決しようとする問題点〕

上述した従来のマルチプロセッサシステムは、メモリ制御装置にキャッシュメモリの内容を主記憶装置に書戻すことができないため、メモリ制御装置のキャッシュメモリ部以外に障害が発生したとき、キャッシュメモリの内容が保証されていてもその内容を主記憶装置に書戻し、かつ障害が発生したメモリ制御装置を切離してシステムの動作を続行することができずシステム停止となるという欠点がある。

〔問題点を解決するための手段〕

本発明のマルチプロセッサシステムは、

に接続替える処理を行なう。

〔作用〕

本発明は、メモリ制御装置のキャッシュメモリ部以外の部分に障害が発生したとき、メモリ制御装置内にデータレジスタに対応して設けられた選択回路を通じデータレジスタを使用して障害系メモリ制御装置のキャッシュメモリの内容を正常系メモリ制御装置のキャッシュメモリに移送し、障害系メモリ制御装置に接続されていた主記憶装置を正常系メモリ制御装置に接続替えをしてマルチプロセッサシステムの運用を継続することができるようにしたものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のマルチプロセッサシステムの一実施例の構成図、第2図はキャッシュメモリデータ部11、11のブロック図である。

このマルチプロセッサシステムは、主記憶装置1、とメモリ制御装置2、と障害処理装置3、と

各メモリ制御装置のキャッシュメモリへの書込みデータを保持するデータレジスタに対応して設けられ、自メモリ制御装置内のキャッシュメモリから読出されるデータと、他メモリ制御装置のデータレジスタに保持されているデータとを選択して自メモリ制御装置内のデータレジスタに出力する選択回路を有し、

障害処理装置は、自情報処理システムのメモリ制御装置にキャッシュメモリ以外の部分に障害が発生したとき、自メモリ制御装置のキャッシュメモリの内容を前記選択回路を通じて自データレジスタに読出させ、他情報処理システムのメモリ制御装置にキャッシュメモリ以外の部分に障害が発生したとき、自メモリ制御装置のキャッシュメモリの内容を自主記憶装置に書戻し、他メモリ制御装置のキャッシュメモリから読出されて他データレジスタに保持されているデータを前記選択回路を通じて自データレジスタに読出して自キャッシュメモリに書込ませ、他メモリ制御装置に接続されていた主記憶装置を自メモリ制御装置

演算処理装置4₁₁～4_{1n}と入出力処理装置5₁₁～5_{1n}とから構成される情報処理システムと、主記憶装置1、とメモリ制御装置2、と障害処理装置3、と演算処理装置4₁₁～4_{1n}と入出力制御装置5₁₁～5_{1n}とから構成される情報処理システムとが、メモリ制御装置2、とメモリ制御装置2、の間で接続されて構成されている。

メモリ制御装置2、はキャッシュメモリアドレス部10、とキャッシュメモリデータ部11、とからなるストアイン方式のキャッシュメモリを有し、メモリ制御装置2、も同様にキャッシュメモリアドレス部10、とキャッシュメモリデータ部11、とからなるストアイン方式のキャッシュメモリを有し、これらキャッシュメモリは、演算処理装置4₁₁～4_{1n}、4₂₁～4_{2n}および入出力処理装置5₁₁～5_{1n}、5₂₁～5_{2n}の主記憶アクセスのデータバッファとなっている。さらに、キャッシュメモリデータ部11、は、メモリ20、とアドレスレジスタ21、とデータレジスタ22、と選択回路23、とから構成され、キャッシュデータ部11、も同様に

メモリ20。とアドレスレジスタ21。とデータレジスタ22。と選択回路23。とから構成されている。選択回路23。はメモリ20。から読出されたデータとデータレジスタ22。に保持されているデータを選択してデータレジスタ22。に出力し、選択回路23。は同様にメモリ20。から読出されたデータとデータレジスタ22。に保持されているデータを選択してデータレジスタ22。に出力する。

障害処理装置3。3。は上述の各装置と診断インターフェースで接続され、各装置の障害救済処理、障害情報収集等を行なう。また、通常は主記憶装置1。はメモリ制御装置2。に接続され、主記憶装置1。はメモリ制御装置2。に接続されているが、メモリ制御装置2。2。のうちの1台が故障等により使用不可能な場合には、正常なメモリ制御装置2。または2。に第1図の1点鎖線で示す接続をして2台の主記憶装置1。および1。を接続状態にできるようになっている。

次に本実施例の動作について説明する。

主記憶装置1。1。とメモリ制御装置2。2。

メモリ制御装置2。に障害が発生すると障害処理装置3。に通知が行なわれる。障害処理装置3。はキャッシュメモリの内容が保証できることを確認した後、システムを一時停止してキャッシュメモリアドレス部10。およびキャッシュメモリデータ部11。を順次移送指示を行なう。また、障害処理装置3。はこのキャッシュメモリの移送に先立ちキャッシュメモリデータ部11。の主記憶装置1。へのスコープアウト（はき出し）を通常のスコープアウト回路を使用して行なう。この後、障害処理装置3。は障害系メモリ制御装置2。の選択回路23。にメモリ20。の読出しデータをデータレジスタ22。に出力するように指示し、正常系メモリ制御装置2。の選択回路23。に障害系メモリ制御装置2。のデータレジスタ22。に保持されているデータをデータレジスタ22。に出力するように指示する。次にアドレスレジスタ21。に初期値をセットし、以降アドレスの更新が順次行なわれる。データレジスタ22。には、アドレスレジスタ21。でアドレスされるワードの内容が読

は第1図で実線で示すように接続されており、この状態において演算処理装置4。1。～4。4。が主記憶装置1。の読出しまたは書込みをする場合はキャッシュメモリデータ部11。を、また主記憶装置1。の読出しまたは書込みをする場合はキャッシュメモリデータ部11。をそれぞれ使用する。このとき読出しでキャッシュメモリがヒットしなかった場合、キャッシュメモリデータ部11。であれば主記憶装置1。からある単位でキャッシュメモリデータ部11。に読込まれるが、それに先立ち、該当するキャッシュメモリデータ部11。の内容が主記憶装置1。に書戻される。このようにストアイン方式の通常の動作は行なわれる。したがって、キャッシュメモリデータ部11。は主記憶装置1。の、キャッシュメモリデータ部11。は主記憶装置1。のデータバッファとして使用されている。

次に、メモリ制御装置2。のキャッシュメモリを除く部分に障害が発生した場合について説明する。

出されてセットされる。次に、このデータレジスタ22。の内容が他のキャッシュメモリのデータレジスタ22。へ移送されてセットされる。次に、アドレスレジスタ21。でアドレスされるワードヘデータレジスタ22。の内容が書込まれる。以上を繰返してメモリ20。の内容がメモリ20。へ移送される。このようにしてキャッシュメモリデータ部11。は主記憶装置1。へ書戻され、またキャッシュメモリデータ部11。の内容はキャッシュメモリデータ部11。へ移される。

この後に障害処理装置3。は主記憶装置1。をメモリ制御装置2。へ接続替えを行なう（第1図の1点鎖線で示すインターフェースが有効となる。）が、この操作はインターフェース有効/無効フラグの切替えにより論理的に行なわれる。以降システムの動作を再開する。

〔発明の効果〕

以上説明したように本発明は、メモリ制御装置の1つがキャッシュメモリ以外の部分に障害が発生したとき、キャッシュメモリの内容を正常な他

のメモリ制御装置に移送し、正常なメモリ制御装置に2台の主記憶装置を接続させることにより、主記憶装置およびキャッシュメモリの内容が継続的に保証され、システム停止となることを回避でき、また、周知の技術であるプロセッサリリーフ機能と併用することも可能で、この場合は障害メモリ制御装置配下の演算処理装置で実行されていたジョブのアボードも回避することができる効果がある。

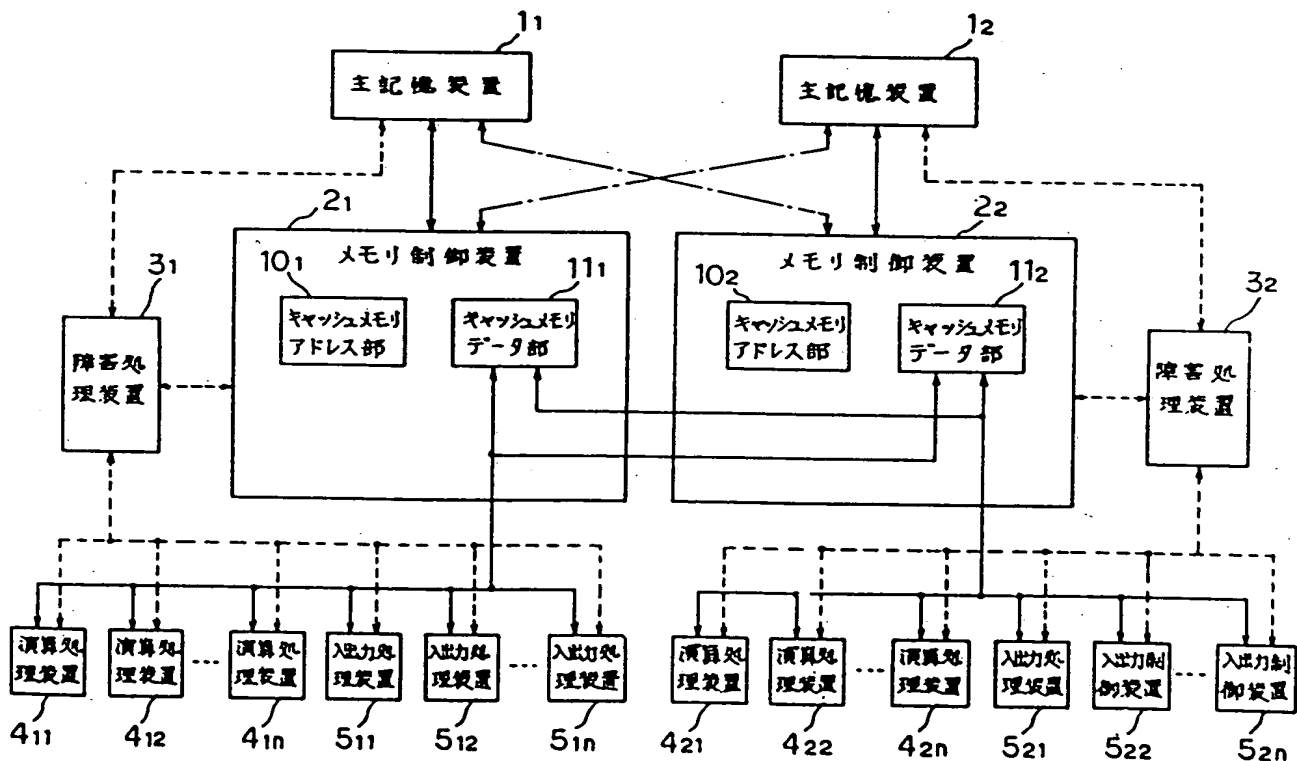
4. 図面の簡単な説明

第1図は本発明のマルチプロセッサシステムの一実施例の構成図、第2図は第1図の障害系メモリ制御装置のキャッシュメモリの読出しおよび正常系メモリ制御装置のキャッシュメモリの書き込みを行なうための回路構成図である。

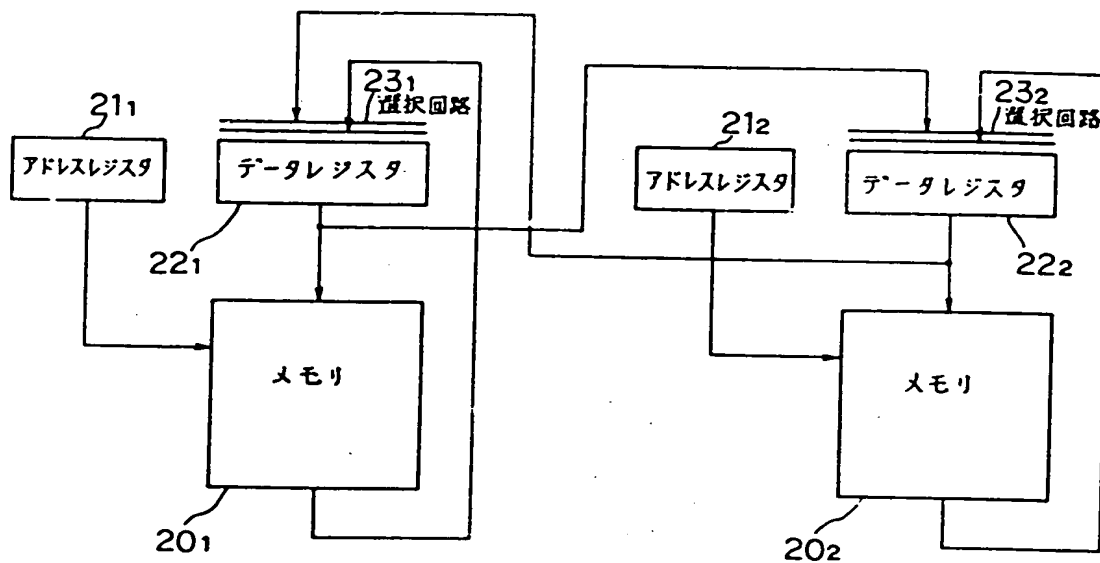
- 1...1,.....主記憶装置、
- 2...2,.....メモリ制御装置、
- 3...3,.....障害処理装置、
- 4...4...,...,4...,...,4...,...).....演算処理装置、
- 4...4...,...,4...,...,4...,...)

- 5...5...,...,5...,...,5...,...).....入出力処理装置、
- 5...5...,...,5...,...,5...,...)
- 10...10,.....キャッシュメモリアドレス部、
- 11...11,.....キャッシュメモリデータ部、
- 20...20,.....メモリ、
- 21...21,.....アドレスレジスタ、
- 22...22,.....データレジスタ、
- 23...23,.....選択回路。

特許出願人 日本電気株式会社
代理人 弁理士 内原 晋



第1図



第2図